

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

010587585 ****Image available****

WPI Acc No: 1996-084538/199609

Related WPI Acc No: 1998-579310

XRAM Acc No: C96-027364

XRPX Acc No: N96-070904

Thin film semiconductor device mfr. e.g. TFT - involves forming amorphous semiconductor film with specified maximum field effect mobility

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); KUSUMOTO N (KUSU-I);

OHTANI H (OHTA-I); TAKEMURA Y (TAKE-I)

Inventor: KUSUMOTO N; OHTANI H; TAKEMURA Y

Number of Countries: 002 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7335906	A	19951222	JP 94156647	A	19940614	199609 B
US 5656825	A	19970812	US 95487166	A	19950607	199738
US 5940690	A	19990817	US 95487166	A	19950607	199939
			US 97844856	A	19970423	
US 6337232	B1	20020108	US 95487166	A	19950607	200211 N
			US 97844856	A	19970423	
			US 99325572	A	19990604	
US 20020055209	A1	20020509	US 95487166	A	19950607	200235
			US 97844856	A	19970423	
			US 99325572	A	19990604	
			US 20011819	A	20011205	
US 6541795	B2	20030401	US 95487166	A	19950607	200324
			US 97844856	A	19970423	
			US 99325572	A	19990604	
			US 20011819	A	20011205	

Priority Applications (No Type Date): JP 94156647 A 19940614; US 99325572 A 19990604

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 7335906	A		14	H01L-029/786	
US 5656825	A		19	H01L-029/76	
US 5940690	A			H01L-021/265	Div ex application US 95487166 Div ex patent US 5656825
US 6337232	B1			H01L-021/265	Div ex application US 95487166 Div ex application US 97844856 Div ex patent US 5656825 Div ex patent US 5940690
US 20020055209	A1			H01L-021/00	Div ex application US 95487166 Div ex application US 97844856 Div ex application US 99325572
US 6541795	B2			H01L-029/76	Div ex application US 95487166

BEST AVAILABLE COPY

Div ex application US 97844856
Div ex application US 99325572
Div ex patent US 5656825
Div ex patent US 5940690
Div ex patent US 6337232

Abstract (Basic): JP 7335906 A

The semiconductor device includes an amorphous semiconductor film of thickness about 400A or more formed on the insulated surface. The film is then etched extensively and a domain having a thickness of 300A or less is formed. The maximum field effect mobility of the film is more than 50cm²/Vs.

USE - For a drive circuit such as active matrix, LCD, image sensor, SOI, IC, microprocessor, microcontroller, memory

ADVANTAGE - Provides semiconductor device with good characteristics.

Dwg.1/11

Title Terms: THIN; FILM; SEMICONDUCTOR; DEVICE; MANUFACTURE; TFT; FORMING;

AMORPHOUS; SEMICONDUCTOR; FILM; SPECIFIED; MAXIMUM; FIELD; EFFECT; MOBILE

Derwent Class: L03; U12

International Patent Class (Main): H01L-021/00; H01L-021/265; H01L-029/76; H01L-029/786

International Patent Class (Additional): H01L-021/20; H01L-021/336; H01L-027/01; H01L-027/12

File Segment: CPI; EPI

05043306 **Image available**

THIN FILM SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

PUB. NO.: 07-335906 [JP 7335906 A]
PUBLISHED: December 22, 1995 (19951222)
INVENTOR(s): KUSUMOTO NAOTO
 OTANI HISASHI
 TAKEMURA YASUHIKO
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company
 or Corporation), JP (Japan)
APPL. NO.: 06-156647 [JP 94156647]
FILED: June 14, 1994 (19940614)
INTL CLASS: [6] H01L-029/786; H01L-021/20; H01L-027/12; H01L-021/336
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC
 MATERIALS -- Metal Oxide Semiconductors, MOS); R131
 (INFORMATION PROCESSING -- Microcomputers & Microprocessors)

ABSTRACT

PURPOSE: To obtain a semiconductor integrated circuit having best characteristics by crystallizing an amorphous semiconductor film through thermal annealing, for example, etching the crystallized film to produce a thin crystalline semiconductor film having specific thickness, and employing the crystalline semiconductor film as an active layer of a TFT for attaining higher characteristics.

CONSTITUTION: After formation of a layer containing nickel, the majority of amorphous silicon is crystallized through thermal annealing in a nitrogen atmosphere but the amorphous silicon is left partially. In order to enhance the crystallinity, the imperfectly crystallized part is crystallized by projecting KrF excimer laser light. The crystalline silicon is then etched to have a thickness of 150-300 angstroms. A crystalline silicon film 105 thus obtained is then etched to form an insular region 106 thus composing the active layer of a TFT. This structure realizes a silicon film of 300 angstroms thick or less having crystallinity sufficient enough to achieve such characteristics as the maximum field effect mobility is $50\text{cm}^2/\text{Vs}$ or above.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-335906

(43) 公開日 平成7年(1995)12月22日

(51) Int. Cl. ⁵	識別記号	F I
H01L 29/786		
21/20		
27/12	R	
9056-4M	H01L 29/78	311 H
9056-4M		311 Y
審査請求 未請求 請求項の数14 F D (全14頁) 最終頁に続く		

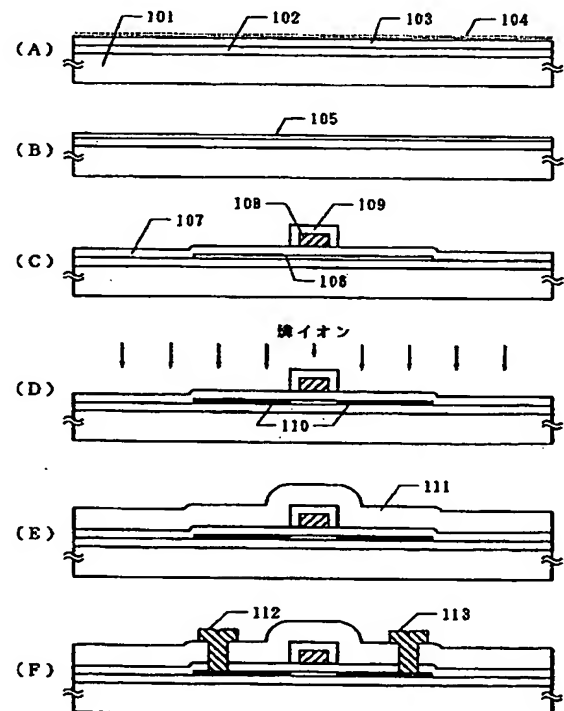
(21) 出願番号	特願平6-156647	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成6年(1994)6月14日	(72) 発明者	楠本 直人 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	大谷 久 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	竹村 保彦 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54) 【発明の名称】 薄膜状半導体装置およびその作製方法

(57) 【要約】

【目的】 良好な特性を示す薄膜トランジスタ (T F T) を提供する。

【構成】 絶縁表面上に、400 Å以上の厚さの非晶質半導体膜を形成し、それを全面的にもしくは選択的にエッチングして、厚さ300 Å以下の領域を形成し、これをT F Tのチャネル形成領域として使用する。



【特許請求の範囲】

【請求項1】 絶縁表面上に存在し、その上にゲイト電極が形成された部分の厚さが平均で300Å以下の薄膜状の結晶性半導体の活性層を有し、電界効果移動度の最大値が $50\text{ cm}^2/\text{Vs}$ 以上であることを特徴とする薄膜トランジスタ。

【請求項2】 絶縁表面上に形成された少なくとも2つの薄膜トランジスタを有する半導体集積回路で、第1の薄膜トランジスタの結晶性半導体の活性層のうち、その上にゲイト電極が形成された部分の平均的な厚さが300Å以下であり、第2の薄膜トランジスタの結晶性半導体の活性層のうち、その上にゲイト電極が形成された部分の平均的な厚さが400Å以上であることを特徴とする薄膜半導体集積回路。

【請求項3】 絶縁表面上に形成された薄膜状の結晶性半導体層と、その上に形成されたゲイト電極とを有し、該半導体層のうち、その上にゲイト電極が形成された部分の厚さが平均で300Å以下であり、ソースもしくはドレインのコンタクトの形成されている部分の厚さが平均で400Å以上であることを特徴とする薄膜トランジスタ。

【請求項4】 絶縁表面上に形成された薄膜状の結晶性半導体層と、その上に形成されたゲイト電極とを有し、該半導体層には、ゲイト電極によって隔てられ、その平均的な厚さが400Å以上の1対の領域が存在することを特徴とする薄膜半導体装置。

【請求項5】 絶縁表面上に存在し、その上にゲイト電極が形成された部分の厚さが平均で300Å以下であり、非晶質状態から熱アニールもしくは光アニールによって結晶化された薄膜状の結晶性半導体の活性層と、厚さが500Å以下のゲイト絶縁膜とを有することを特徴とする薄膜半導体装置。

【請求項6】 絶縁表面上に形成された薄膜状の結晶性半導体層において、その上にゲイト電極が形成された領域の平均的な厚さが、該半導体層の周囲の部分の平均的な厚さと概略同一であることを特徴とする薄膜半導体装置。

【請求項7】 絶縁表面上に存在し、平均の厚さが400Å以上の第1の領域と、平均の厚さが300Å以下の第2の領域とを有する薄膜状の結晶性半導体の活性層と、厚さが500Å以下のゲイト絶縁膜とを有することを特徴とする薄膜半導体装置。

【請求項8】 絶縁表面上に存在し、その上にゲイト電極が形成される部分の平均の厚さが300Å以下である薄膜状の結晶性半導体の活性層と、厚さが500Å以下の非熱酸化法によって形成されたゲイト絶縁膜とを有することを特徴とする薄膜半導体装置。

【請求項9】 絶縁表面上に存在し、概略H型の平均の厚さが300Å以下の領域を有する結晶性半導体層と、該半導体層上にゲイト絶縁膜とゲイト電極とを有するこ

とを特徴とする薄膜半導体装置。

【請求項10】 絶縁表面上に存在する厚さ400Å以上の結晶性半導体膜によって形成されたマスク合わせのマーカート、チャネル形成領域の厚さが300Å以下である薄膜トランジスタの活性層とを有する薄膜半導体集積回路において、前記マーカートと前記活性層とは同一被膜から形成されたことを特徴とする半導体集積回路。

【請求項11】 絶縁表面上に厚さ400Å以上の非晶質状態の半導体層を形成する工程と、

10 該半導体層を光アニールまたは熱アニールによって結晶化せしめる工程と、

該半導体層の全部もしくは一部を薄膜化する工程と、

該半導体層をエッチングして島状に形成する工程と、

該島状の半導体領域上にゲイト電極およびゲイト絶縁膜を形成する工程と、を有することを特徴とする薄膜半導体装置の作製方法。

【請求項12】 絶縁表面上に厚さ400Å以上の非晶質状態の半導体層を形成する工程と、

20 該半導体層を結晶化を促進する触媒元素を用いて、結晶化せしめる工程と、

該半導体層のうち、少なくとも、チャネル形成領域となる部分を薄膜化する工程と、

該島状の半導体領域上にゲイト電極およびゲイト絶縁膜を形成する工程と、を有することを特徴とする薄膜半導体装置の作製方法。

【請求項13】 絶縁表面上に厚さ400Å以上の結晶性の半導体層を形成する工程と、

該半導体層の全部もしくは一部を薄膜化する工程と、

30 前記工程によって薄膜化された領域の一部もしくは全部をエッチングして島状に形成する工程と、

該島状の半導体領域上にゲイト電極およびゲイト絶縁膜を形成する工程と、を有することを特徴とする薄膜半導体装置の作製方法。

【請求項14】 絶縁表面上に厚さ400Å以上の結晶性の半導体層を形成する工程と、

該半導体層の全部もしくは一部を薄膜化する工程と、

40 該半導体層をエッチングして、島状に形成する工程と、を有することを特徴とする薄膜半導体装置の作製方法において、前記エッチング工程において、エッチングされる領域は、前記薄膜化工程によって薄膜化された領域に含まれることを特徴とする薄膜半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、絶縁表面上に薄膜状の絶縁ゲイト型半導体装置（薄膜トランジスタもしくはTFT）の構造および作製方法に関する。本発明による半導体装置は、液晶ディスプレイ等のアクティブマトリクスやイメージセンサー等の駆動回路、あるいはSOI集積回路や従来の半導体集積回路（マイクロプロセッサやマイクロコントローラ、マイクロコンピュータ、ある

いは半導体メモリ等)に使用されるものである。

【0002】

【従来の技術】近年、絶縁基板上、もしくは半導体基板上であっても厚い絶縁膜によって半導体基板と隔てられた表面(絶縁表面)上に絶縁ゲート型半導体装置(MISFET)を形成する研究が盛んに成されている。特に半導体層(活性層)が薄膜状である半導体装置を薄膜トランジスタ(TFT)という。このような半導体装置においては、単結晶の半導体のような良好な結晶性を有する素子を得ることは困難で、通常は結晶性は有するが単結晶でない、非単結晶の半導体を用いていた。

【0003】

【発明が解決しようとする課題】このような非単結晶半導体は、単結晶半導体に比較して特性が悪く、特に、ゲート電極に逆電圧(すなわち、Nチャネル型TFTの場合には負、Pチャネル型TFTの場合には正の電圧)を印加した場合には、ソース/ドレイン間のリーク電流が増加するという問題があった。この問題は、特にアクティブマトリクス回路のスイッチングトランジスタにTFTを用いる場合には致命的であった。

【0004】従来、この問題に関しては、TFTにおいてチャネルの形成される半導体層(活性層)を薄くすることによって解決できるという報告があった。例えば、林久雄他は、Jpn. J. Appl. Phys. vol. 23 (1984) L819において、結晶性のシリコンの活性層の厚さを100Åから1000Åまで変化させてTFTの特性を調べ、活性層が薄くなると、電界効果移動度が向上し、しきい値電圧、リーク電流が低下するという好ましい特性が得られた、と報告している。

【0005】しかしながら、この報告では電界効果移動度は最大でも $10\text{ cm}^2/\text{Vs}$ と極めて低く、アクティブマトリクス回路のスイッチングトランジスタには用いることができて、それを駆動するための回路に用いることは不可能であった。そもそも、この報告では、結晶性シリコン膜は、as-depoの状態で作られたものを利用したものであり、好ましい結晶性を有していなかった。

【0006】一方、良好な結晶性を有する半導体膜を非単結晶半導体膜から得るには、熱アニールによって結晶成長させる方法(固相成長法、SPC)もしくは、レーザーもしくはそれと同等な強光を照射して液相状態を経て、あるいは固相のまま結晶化させる方法(光アニール法)が知られていた。例えば、シリコン膜を非単結晶シリコンから熱アニール法によって得るには、非晶質シリコン膜を500~650℃で加熱することが必要であった。

【0007】しかしながら、これらの方法では、基板(下地を含む)の影響があるため、少なくとも500Åの厚さのシリコン膜を用いなければ良好な結晶性は得られなかった。本発明はこのような問題点に鑑みてなされ

たものであり、良好な結晶性シリコン膜を用いて、より高い特性が得られるTFTを提供することを課題とする。また、このような良好な特性のTFTを用いて作製される半導体集積回路の好ましい構成を提供することを別の課題とする。

【0008】

【課題を解決するための手段】本発明は、厚さ400Å以上の非晶質半導体膜を熱アニール法もしくは光アニール法、あるいはそれらの併用によって結晶化させたのち、これを全面的もしくは選択的にエッチングすることによって、厚さ300Å以下の薄い結晶性半導体膜とし、これをTFTの活性層(チャネル形成領域の形成される部分、すなわち、その上にゲート電極が形成される部分)として用いることを特徴とするものである。

【0009】本発明は活性層の厚さに特色があるのであるが、以下、特に指示しない場合の厚さとは、指定された領域の平均的な厚さのことをいう。これは、多結晶材料であると、粒界等の存在によって、凹凸が形成される。そして、何らかの理由によって、部分的に膜厚が異常に小さかったり大きかったりすることがある。しかし、このような異常な部分が素子や回路全体に影響を及ぼすことはないので、無視してもよい。本発明が特定の部分の平均的な厚さに着目するのはこのような理由からである。

【0010】本発明においては、活性層の半導体膜の結晶性が優れていることが特色でもあり、その点で従来のTFT等とは異なる。しかしながら、結晶性について客観的に論じることは極めて難しい。そこで、本発明では結晶性が良好であることを、それを用いて作製したTFTの電界効果移動度によって評価する。ただし、電界効果移動度はゲート電圧やその他の条件によって変動するものであるが、最大値はそのTFTの活性層の結晶性を客観的に反映しているものと考えられるので、評価には適している。本発明においては、典型的には、最大の電界効果移動度が、 $50\text{ cm}^2/\text{Vs}$ 以上、好ましくは、 $100\text{ cm}^2/\text{Vs}$ 以上の特性が得られるに十分な結晶性を有し、厚さが300Å以下のシリコン膜を得ることができる。

【0011】本発明において、半導体としてシリコンを用いる場合には上記のエッチング工程は2通りの方法を採用することが可能である。第1の方法は、シリコン膜を薄く酸化して、酸化珪素膜を形成し、これをエッチングする、という工程を必要な数だけ繰り返しておこなうことを特徴とする。この方法は、シリコン膜を直接、溶解させてエッチングするという方法に比較するとエッチング深さの制御性に優れている。

【0012】上記工程において酸化をおこなうには、熱酸化や陽極酸化、あるいは酸化剤による酸化をおこなえばよい。熱酸化あるいは陽極酸化では、酸化されるシリコン膜の厚さは温度や電圧、時間によって決定されるの

で、大きな基板を処理する場合にも極めて均一に制御できる。酸化剤を用いる場合も同様である。酸化剤を用いる場合には、酸化剤としては、硝酸や過酸化水素、重クロム酸塩、過マンガン酸塩の溶液を用いればよい。例えば、過酸化水素とアンモニアの混合溶液は極めて安定に酸化をおこなうことができる。

【0013】以上の方法によって薄い酸化珪素膜を形成したのち、酸化珪素をエッチングするが、シリコンはエッチングしないエッチャント（例えば、1%フッ酸等のフッ化水素系の溶液）にシリコン膜をさらすことによって、表面に形成された酸化珪素膜をエッチングする。この結果、酸化された分だけシリコン膜は薄くなる。この方法の問題点は工程を繰り返す必要から、エッチングする深さが大きくなると時間がかかることである。

【0014】第2の方法は酸化剤に加えて、酸化珪素をも積極的にエッチングする成分を含有する溶液を用いてエッチングをおこなう方法であり、工程が1段階で済むことが第1の方法と異なり、そのため量産性の点で優れている。溶液としては、過酸化水素もしくは硝酸等の酸化剤にフッ酸を加えたものを用いればよい。エッチングレート（調整）はフッ酸の濃度や緩衝溶液（酢酸等）の添加量を選択すればよい。しかしながら、溶液の成分、温度、エッチングの時間等を精密に制御しないと、エッチング深さが大きくバラついてしまう。精密な深さ制御が難しいことが問題である。以上、第1の方法か、第2の方法か、いずれを選択するかは量産性、精密制御性等を考慮して決定すればよい。

【0015】本発明においては、上記の工程によってシリコン膜をエッチングし、薄膜化する操作は、基板全面に対しておこなってもよいが、必要な箇所だけおこなうとより効果的である。上記の操作が必要とされるのは、TFTのチャンネルが形成される部分であるので、上にゲート電極が形成される部分（チャンネル形成領域）を含む領域に対して上記の薄膜化をおこなうとよい。逆に、ソース／ドレイン電極を設ける領域に対しては、ある程度の厚さのシリコン膜が有るほうがコンタクトホールを形成する上で有利であるので、上記の薄膜化は避ける方が好ましい。

【0016】また、複数のTFTを有する場合には、特にリーク電流が低いことが要求される回路（例えば、アクティブマトリクス回路のスイッチングトランジスタ）やオン電流が小さくても構わない回路において、上記の薄膜化を適用すると効果が大きい。

【0017】本発明は、結晶化の促進のためにニッケル、パラジウム、白金、コバルト、鉄等の重金属を含有せしめた場合におこなうと極めて効果的である。これらの重金属元素は非晶質シリコン膜中において、熱アニールによる結晶化の際の触媒として機能し、熱アニール時間の短縮と、熱アニール温度の低温化の点で効果がある。しかしながら、これらの元素がシリコン中に残留す

ると、様々なTFT特性に悪影響を与える。特にリーク電流は、これらの元素をトラップセンターとして生じるものと類推されており、これらの元素の除去が課題とされていた。これらの元素はシリコン膜と他の膜の界面に偏析しやすく、特にゲート絶縁膜との界面に存在することは好ましいことではなかった。

【0018】しかしながら、上記の工程によって活性層の薄膜化をおこなうと、酸化珪素のエッチング工程において、これらの元素の濃度の大きな部分もエッチングされてしまうので、これら結晶化促進のための元素の濃度を低減できる。その際には、図11に示すように、薄膜化されたシリコン活性層領域cのうち、ニッケル等の濃度の高かった領域が選択的にエッチングされ、ホールaが多数形成される。（図11（A）、（B））

【0019】その結果、チャンネルの断面積bが増加し、実質的なチャンネル幅は幾何学的なチャンネル長dよりも大きくなる。このことは、オン電流の大きいことを要求されるTFTにとっては都合がよい。（図11（B））本発明は、リーク電流の低減のために、ゲート電極とソース／ドレインの両方、もしくはいずれか一方と重ならないようにしたオフセットゲート構造のTFTに対して実施すると、リーク電流抑制の効果を得る上でより効果的である。

【0020】本発明においては、結果的にソース／ドレインの全部、もしくは一部が極めて薄くなり、そのため、ソース／ドレインにおける抵抗が非常に高くなる。このことは本発明が必要とされる回路（例えば、アクティブマトリクス回路のスイッチングトランジスタ）において問題となることは稀であるが、もし、ソース／ドレインの抵抗が問題となるようであれば、N型やP型の不純物元素の活性化を十分におこなうことが有効であり、必要である。そのためには、光アニールと熱アニールを組み合わせることで活性化することが有効である。例えば、レーザー光の照射によって活性化をおこなった後、500～650℃の熱アニールによる活性化を重ねておこなうとよい。

【0021】なお、本発明においては活性層の厚さが極めて薄くなるので、レーザー光の照射に際しては、連続発振レーザーよりもパルス幅10μ秒以下のパルスレーザーが望ましい。本発明においては、チャンネル形成領域は極めて薄く形成されるので、500Å以下のゲート絶縁膜をプラズマCVD法や減圧CVD、大気圧CVD、ECR（電子サイクロトロン共鳴）CVD法等のCVD法、あるいはスパッタ法によって堆積してもよい。この結果、電界効果移動度、しきい値電圧、立ち上がり特性（サブスレッシュホールド特性、S値）が改善される。

【0022】従来、単結晶半導体ウェハー上に形成されるMOSデバイスでは、ゲート絶縁膜の厚さは500Å以下の薄いものが可能であった。これは、以下の2つの理由による。第1は単結晶ウェハー上ではいわゆるLO

COS技術等により、チャネル形成領域からフィールド絶縁物へ移動する部分の段差が極めて緩やかであったことである。第2は、ゲイト絶縁膜として用いられた酸化膜が熱酸化によって得られたものであり、極めて被覆性に優れていたためである。この2つの理由から極めて薄いゲイト絶縁膜が可能であった。

【0023】しかしながら、TFTにおいては第1の段差の面では極めて不利であった。すなわち、活性層の厚さが500Å以上必要とされていた。また、第2の点でも、特に850℃以上の高温プロセスによって熱酸化をおこなう場合を除いて、熱酸化による十分な厚さのゲイト絶縁膜を得ることは不可能であった。熱酸化の利用できない場合には、CVD法やスパッタ法のような非熱酸化法を採用することを余儀なくされていたが、これらの方法には段差被覆性の問題が常に付きまとっていた。その結果、ゲイト絶縁膜の厚さを500Å以下とすることは不可能とされてきた。しかしながら、本発明によってこれらの困難は解消された。

【0024】本発明によって活性層の厚さが300Å以下となったことにより、ゲイト絶縁膜が500Å、あるいはそれより薄いものであっても、段差被覆性はほとんど問題でなくなった。特にゲイト絶縁膜を薄くできることの効果は、スパッタ法によってゲイト絶縁膜を形成する場合に著しい。スパッタ法では、極めて熱酸化膜に近い酸化珪素膜が得られるのであるが、成膜速度がCVD法に比較して遅いためスパッタ法が採用されることは稀であった。しかしながら、ゲイト絶縁膜が従来のものより薄くてすむようになったことにより、この点では、CVD法に対抗できるようになった。

【0025】本発明においては、初期の表面の凹凸の激しいシリコン膜に関し、その凹凸を緩和できるという効果もある。例えば、シリコン膜を露出した状態でレーザーを照射した場合には非常に凹凸の激しい表面となり、ゲイト絶縁膜の段差被覆性の障害となったが、本発明によって解消できる。これは、本発明において、シリコン膜を薄膜化する工程によってなされるものであり、例えば、過酸化水素とアンモニアの混合液によって酸化をおこない、フッ酸によってそれをエッチングするという工程では500Å程度であった凹凸が、最終的にはほとんど無視できる程度にまで減少する。この凹凸を減少させる効果は用いるエッチャントによって異なり、必要とする程度に応じてエッチャントを選択すればよい。

【0026】

【実施例】

【実施例1】本実施例を図1に示す。まず、基板101（コーニング7059、100mm×100mm）上に下地酸化膜として、酸化珪素膜102をスパッタリング法により1000～5000Å、例えば、4000Åに成膜した。この酸化珪素膜102は、ガラス基板からの不純物の拡散を防ぐために設けられる。そして、非晶質

シリコン膜103をプラズマCVD法により400～1500Å、例えば、500Åに成膜した。

【0027】その後、非晶質シリコン膜上に数～数十Åのニッケルもしくはニッケル化合物を含む層104（ニッケル含有層）を形成した。ニッケル含有層104を形成するには、

①ニッケル元素を含有した溶液を塗布したのち、乾燥させる方法

②ニッケルもしくはニッケル化合物をスパッタリング法によって成膜する方法

③ガス状の有機ニッケルを熱、光、プラズマによって分解・堆積させる方法（気相成長法）

のいずれかによって形成すればよい。①の方法において溶液を塗布するには、例えば、スピンコーティング法や、ディッピング法を用いればよい。本実施例においては、酢酸ニッケル膜をスピンコーティング法によって形成した。以下にその方法を詳述する。

【0028】まず、非晶質シリコン膜上にシリコン表面を酸化することにより酸化珪素膜を10～50Åに形成した。酸化珪素膜を形成するには、酸素雰囲気中でのUV光の照射、熱酸化、過酸化水素による処理等によっておこなえばよい。ここでは、酸素雰囲気中でのUV光の照射により酸化膜を20Åに成膜した。この酸化珪素膜は、後のニッケル酢酸塩溶液を塗布する工程で、非晶質シリコン膜の表面全体にニッケル酢酸塩溶液をゆき渡らせるため、すなわち、シリコン膜の表面特性を改善し、水溶液を弾かなくするためのものである。

【0029】つぎに、酢酸塩溶液中にニッケルを溶解して、ニッケル酢酸塩溶液を作製した。このとき、ニッケルの濃度は10ppmとした。そして、回転させた基板上にこのニッケル酢酸塩溶液を基板表面に2ml滴下し、この状態を5分間保持してニッケル酢酸塩溶液を均一に基板表面に行き渡らせた。その後、基板の回転数を上げてスピンドライ（2000rpm、60秒）をおこなった。

【0030】本発明者の研究では、ニッケル酢酸塩溶液中におけるニッケルの濃度は、1ppm以上であれば実用になる。このニッケル酢酸塩溶液の塗布工程を、1～複数回おこなうことにより、スピンドライ後の非晶質シリコン膜の表面に平均20Åの膜厚を有する酢酸ニッケル層を形成することができた。なお、この層というのは、完全な膜になっているとは限らない。他のニッケル化合物を用いても同様にできる。このようにして、酢酸ニッケル膜104を形成した。（図1（A））

【0031】本実施例においては、非晶質シリコン膜上にニッケルもしくはニッケル化合物を導入する方法を示したが、非晶質シリコン膜の下（すなわち、下地酸化膜102とシリコン膜103の間）にニッケルもしくはニッケル化合物を導入する方法を用いてもよい。この場合は、非晶質シリコン膜の成膜前にニッケルもしくはニッ

ケル化合物を導入すればよい。

【0032】ニッケル含有層形成後、加熱炉において、窒素雰囲気中において550℃、4時間の加熱処理をおこない結晶化せしめた。この熱アニールによって、大部分の非晶質シリコンは結晶化したが、ところどころに非晶質シリコンの部分が残されていた。そこで、結晶性向上のためにKrFエキシマレーザー光（波長248nm）を照射し、これら不完全な結晶化部分をも結晶化させた。レーザーのエネルギー密度は200～350mJ/cm²とした。レーザーのエネルギー密度はシリコン膜の厚さ、結晶化の度合い等を考慮して決定すればよい。

【0033】その後、結晶性シリコン膜のエッチングをおこない150～300Åの膜厚に形成した。このエッチングの工程は、まず、過酸化水素とアンモニアの混合溶液を用いて結晶性珪素膜の表面を酸化させて酸化珪素を形成して、その後、フッ酸によって酸化珪素膜を除去することによりおこなった。この工程は、一度に50～120Å程度エッチングされるので、同じ操作を数回繰り返すことにより、必要な厚さのエッチングをおこなった。この混合溶液は、過酸化水素、アンモニア、水が、5:2:2に混合されたものを使用した。他の混合比率のものでもよい。また、この他に硝酸を使用してもよいし、結晶性珪素膜の表面を熱酸化した後、フッ酸でエッチングしても構わない。（図1（B））

【0034】つぎに、このようにして得られた結晶性シリコン膜105をドライエッチング法によってエッチングして、島状領域106（島状シリコン膜）を形成した。この島状シリコン膜106はTFTの活性層を構成する。そして、ゲート絶縁膜107として、膜厚200～1500Å、例えば、500Åの酸化珪素膜107をスパッタ法によって形成した。

【0035】その後、厚さ1000Å～3μm、例えば、5000Åのアルミニウム（1wt%のSi、もしくは0.1～0.3wt%のScを含む）膜をスパッタリング法によって成膜して、これをパターニングして、ゲート電極108を形成した。つぎに基板をpH≒7、1～3%の酒石酸のエチレンジアミン溶液に浸し、白金を陰極、アルミニウムのゲート電極108を陽極として、陽極酸化をおこなった。陽極酸化は、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持して終了させた。このようにして、厚さ1500～3500Å、例えば、2000Åの陽極酸化物被膜109を形成した。（図1（C））

【0036】その後、イオンドーピング法によって、島状シリコン膜106に、ゲート電極108および陽極酸化物被膜109をマスクとして自己整合的に不純物（本実施例においてはリン）を注入した。ドーピングガスとしてはフォスフィン（PH₃）を用いた。この場合のドー

～90kV、例えば、ドーズ量を5×10¹⁴原子/cm²、加速電圧を80kVとした。この結果、N型不純物領域110（ソース/ドレイン）が形成された。（図1（D））

【0037】さらに、KrFエキシマレーザー（波長248nm、パルス幅20nsec）を照射して、ドーピングされた不純物領域110の活性化をおこなった。レーザーのエネルギー密度は200～400mJ/cm²、好ましくは250～300mJ/cm²が適当であった。この工程は350～500℃の熱アニールによっておこなってもよい。つぎに、層間絶縁膜として、プラズマCVD法によって酸化珪素膜111を厚さ3000Åに成膜した。（図1（E））

【0038】そして、層間絶縁膜111、ゲート絶縁膜107のエッチングをおこない、ソース/ドレインにコンタクトホールを形成した。その後、窒化チタン膜（厚さ1000Å）、アルミニウム膜（厚さ5000Å）をスパッタリング法によって成膜し、これをエッチングしてソース/ドレイン電極112、113を形成し、TFT回路を完成させた。（図1（F））

【0039】TFT作製後、さらに200～400℃で水素化処理をおこなってもよい。本実施例のように、ソース/ドレインへのコンタクトの部分の活性層の厚さが極めて薄い場合には、アルミニウムとシリコンが直接、接触すると合金化によって、接触不良が発生する可能性が高い。これを避けるためには、上述のように、アルミニウムとシリコンの間に窒化チタンその他の導電性でシリコンやアルミニウムと反応しにくい膜を設けると良い。

【0040】本実施例では活性層の厚さを100Åから500Åまで変化させて、その特性を測定した。図5には、活性層の厚さが上記実施例にしたがって、活性層を薄膜化したもの（100Å）と、従来の方法のもの（500Å）のドレイン電流（I_d）-ゲート電圧（V_g）特性の例を示す。この図から、本発明によって活性層を薄くすることのより、ゲート電極に逆バイアス（負）電圧が印加された際のリーク電流の特性に大きく差が生じたことが分かる。

【0041】リーク電流については、さらに詳しく測定し、図7に示した。特にV_g=10Vのときのリーク電流は活性層を薄くすることのより格段に減少していることが分かる。このことは、ソース/ドレイン間に高い電圧が印加される状態で低いリーク電流が要求されるアクティブマトリクス回路のスイッチングトランジスタとして好ましいものであった。その他に、電界効果移動度、しきい値電圧についても測定したが、活性層が薄くなるにしたがい、前者は大きく、後者は小さくなることが確認された。いずれの場合も活性層の厚さが300～400Åの間で急激な変化が起こることが確認された。

【0042】〔実施例2〕本実施例では選択的にシリコ

ン層を薄膜化する場合について記述する。実施例1の場合にはシリコン層は全面的に薄膜化した。この場合には、ソース/ドレインにコンタクトホールを形成する場合にオーバーエッチングのマージンが取りにくくなるという問題以外に、マスク合わせのマーカーとして、別の被膜を形成しなければならないという問題があった。特に、これはトップゲイト型(ゲイト電極が活性層の上に存在する)のTFETを形成する場合には大きな障害であった。

【0043】この問題について詳しく述べると、従来、10 透明な基板上に被膜を重ねて、素子を形成してゆく工程においては、初期の段階で何らかの被膜のパターンをマーカーとして、その後のマスク合わせの工程で用いることが一般的であった。そして、そのマーカーを形成するべき被膜としては、トップゲイト型のTFETにおいては、シリコン膜を用いることが一般的であった。すなわち、トップゲイト型TFETのプロセスにおいては、最初におこなわれるパターン形成が、島状領域の形成だからである。この島状領域の形成の際に、同時にマスク合わせの20 マーカーも形成される。以後、全てのマスク合わせの工程において、この際に形成されたマーカーを用いる。

【0044】このマーカーはシリコン膜が薄くなるといくつかの問題が生じた。特に、アルミニウム膜にパターンを形成する場合には、マーカーの部分とアルミニウム被膜との段差を判別してマスク合わせをおこなうことが要求されたが、シリコン膜が500Å以下に薄くなると、十分な段差が確認できなくなり、マスク合わせ工程において不良が発生しやすくなった。

【0045】TFET特性の改善に加えて、マスク合わせ30 の面でも改善する方法を示す。本実施例を図2に示す。まず、透明なガラス基板201上に下地酸化膜として、酸化珪素膜202をスパッタリング法により1000~5000Å、例えば、2000Åに成膜した。この酸化珪素膜は、ガラス基板からの不純物の拡散を防ぐために設けられる。そして、非晶質シリコン膜をプラズマCVD法により500~1500Å、例えば、800Åに成膜した。ここで、シリコン膜の厚さを800Åとしたのは、マスク合わせにおいて、マーカーが十分に確認できる厚さを確保するためである。(図2(A))

【0046】さらに、結晶性シリコン膜上に酸化珪素膜204を500Åに形成した。酸化珪素の代わりに窒化珪素でも構わない。この酸化珪素膜204は後の熱アニールの際のキャップ膜となる。その後、非晶質シリコン膜を500~650℃で熱アニールすることにより結晶化せしめた。その際には、実施例1に示した如く、ニッケル等を結晶化促進の触媒元素として添加してもよい。また、結晶性向上のために、熱アニール工程の後にKrFエキシマレーザ光を照射してもよい。

【0047】そして、酸化珪素膜上にフォトレジスト2 50

05を形成して、パターニングをおこない、チャネル領域を形成する近傍がエッチングされるようにマスクを形成した。この状態の断面図を図2(B)に、また、上方から見た図面を図4(A)に示す。本実施例では、第1パターンおよび第2パターンという2つのパターンを形成し、比較した。図4(A)の矢印は、図2の断面の方向を示す。(図2(B)、図4(A))

【0048】その後、実施例1と同様にシリコン膜のエッチングをおこない、チャネル形成領域近傍を150~300Åの膜厚に形成した。この際には、過酸化水素とアンモニアの混合液による酸化と1%フッ酸によるエッチングを交互におこない、必要とする厚さまでシリコン膜をエッチングした。(図2(C))

【0049】そして、フォトレジスト205と酸化珪素膜204を除去した。つぎに、このようにして得られた結晶性シリコン膜をエッチングして、TFETを形成する島状領域206(島状シリコン膜)とマスク合わせのマーカー207、208を形成した。このときの上方から見た図面を図4(B)に示す。この図では、先のシリコン膜の薄膜化のパターンも点線で示してある。この結果、第1パターン(図4左側)では、薄いシリコン層の領域の形状が概略H型となった。第2パターンでは、薄いシリコン層の領域の形状は長方形であった。第2パターンでは、島状領域をエッチングする際に、異常エッチングの際に島状領域のクビレの部分が断絶してしまうことがあったが、第1パターンではそのような現象は見られなかった。(図4(B))

その後、ゲイト絶縁膜として、膜厚200~1500Å、例えば、1000Åの酸化珪素膜209をプラズマCVD法によって形成した。(図2(D))

【0050】そして、厚さ1000Å~3μm、例えば、5000Åの燐がドーピングされた多結晶のシリコン膜を減圧CVD法によって成膜して、これをパターニングして、ゲイト電極・配線に対応するフォトレジストのパターンを形成した。この際には、マーカー207を用いた。そして、このフォトレジストのパターンによって多結晶シリコン膜をエッチングして、ゲイト電極210を形成した。このときの上方から見た図面を図4(C)に示す。(図4(C))

40 【0051】その後、イオンドーピング法によって、島状シリコン膜206に、ゲイト電極210をマスクとして自己整合的に不純物(本実施例においては燐)を注入した。ドーピングガスとしてはPH₃を用いた。この場合のドーピング量は $1 \times 10^{13} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧は10~90kV、例えば、ドーピング量を $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧を80kVとした。この結果、N型不純物領域211(ソース/ドレイン)が形成された。(図2(E))

【0052】さらに、500~650℃、例えば、600℃で熱アニールすることによって、ドーピングされた

不純物の活性化をおこなった。その後、層間絶縁膜として、減圧CVD法によって酸化珪素膜212を厚さ3000Åに成膜した。

【0053】そして、層間絶縁膜212、ゲイト絶縁膜209のエッチングをおこない、ソース/ドレインにコンタクトホールを形成した。このとき、実施例1と異なり、ソース/ドレイン領域は800Åと厚いため、コンタクトホールの形成が容易であった。その後、アルミニウム膜をスパッタリング法によって形成し、バターニングしてソース/ドレイン電極・配線に対応するフォトレジストのパターンを形成した。この際には、マーカー208を用いた。そして、このフォトレジストのパターンによってアルミニウム膜をエッチングして、ソース/ドレイン電極・配線213、214を形成した。(図2(F))

【0054】TFT作製後、さらに200~400℃で水素化処理をおこなってもよい。このようにして得られたTFTは、従来のTFTと比較して、半導体層のチャネル形成領域近傍が薄いため、電界効果移動度、しきい値電圧、リーク電流等の特性に関しては、実施例1と大差無いものが得られた。一方、マーカーのシリコン膜が十分な厚さであったために、マスク合わせの不良を減らすことができた。また、ソース、ドレインに関しては、800Åの厚さであったために、十分に低いシート抵抗であった。また、本実施例では、ソース/ドレインの部分の厚さが十分であったので、窒化チタン膜を設けなくとも、ソース/ドレインでコンタクト不良が発生することはない。

【0055】〔実施例3〕本実施例を図3に示す。本実施例は、TFT型液晶表示装置の周辺回路のシフトレジスタ回路に用いられるCMOS素子とアクティブマトリクススイッチングトランジスタ(画素TFT)の作製に関して本発明を適用した例を示す。まず、基板301上に下地酸化膜として、酸化珪素膜302をスパッタリング法により1000~5000Å、例えば、1000Åに成膜した。そして、非晶質シリコン膜をプラズマCVD法により400~1500Å、例えば、500Åに成膜した。

【0056】その後、実施例1と同様にスパインコーティング法によって非晶質シリコン膜上に数~数十Åのニッケル含有層を形成した。ニッケル含有層形成後、加熱炉において、窒素雰囲気中において550℃、4時間の加熱処理をおこない結晶化せしめた。その後、さらに、結晶性向上のために、200~350mJ/cm²のエネルギー密度のKrFエキシマレーザー光を照射した。

(図3(A))

【0057】つぎに、このようにして得られた結晶性シリコン膜上に実施例2と同様にマスクを形成し、アクティブマトリクス回路の領域のみを薄膜化して、薄いシリコン領域303'を形成した。領域303'のシリコン

膜の厚さは300Åとした。エッチングの方法は実施例2と同様におこなった。(図3(B))

【0058】その後、この様にして得られた結晶性珪素膜をバターニングして、島状領域304、305、306(島状珪素膜)を形成した。この島状珪素膜304、305、306はTFTの活性層であり、前二者は周辺駆動回路のシフトレジスタの回路に用いられ、最後の1つはアクティブマトリクス回路の画素TFTに用いられる。そして、ゲイト絶縁膜307として、膜厚200~1500Å、例えば、1000Åの酸化珪素膜307をプラズマCVD法によって形成した。(図3(C))

【0059】その後、厚さ1000Å~3μm、例えば、5000Åのアルミニウム膜をスパッタ法によって成膜して、これをバターニングして、ゲイト電極308、309、310を形成した。つぎに基板をpH≒7、1~3%の酒石酸のエチレングリコール溶液に浸し、白金を陰極、アルミニウムのゲイト電極308、309、310を陽極として、陽極酸化をおこなった。陽極酸化は、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持して終了させた。このようにして、厚さ1500~3500Å、例えば、2000Åの陽極酸化物を形成した。

【0060】その後、イオンドーピング法によって、島状珪素膜304、305、306に、ゲイト電極308、309、310をマスクとして自己整合的に不純物を注入した。この際には、最初に前面にフォスフィン(PH)をドーピングガスとして燐を注入してN型不純物領域311、312、313を形成した。(図3(D))

【0061】その後、Nチャネル型のTFTを形成する部分をフォトレジスト314で覆って、Pチャネル型のTFTを形成する部分にジボラン(B₂H₆)をドーピングガスとして硼素を注入して、N型不純物領域311であった領域が反転して、P型不純物領域315を形成した。この場合、燐のドーズ量は2~8×10¹⁵cm⁻²、加速電圧は80kV、硼素のドーズ量は4~10×10¹⁵cm⁻²、加速電圧を65kVとした。(図3(E))

【0062】さらに、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、不純物領域312、313、315の活性化をおこなった。レーザーのエネルギー密度は200~400mJ/cm²、好ましくは250~300mJ/cm²が適当であった。つぎに、層間絶縁膜316として、プラズマCVD法によって酸化珪素膜316を厚さ3000Åに成膜した。

【0063】そして、層間絶縁膜316、ゲイト絶縁膜307のエッチングをおこない、ソース/ドレインにコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、バターニングしてソース/

ドレイン電極 317、318、319 を形成した。(図 3 (F))

【0064】最後に、パッシベーション膜 320 として厚さ 2000~6000 Å、例えば、3000 Å の窒化珪素膜をプラズマ CVD 法によって形成し、これと酸化珪素膜 316、ゲイト絶縁膜 307 をエッチングして、不純物領域 313 に対してコンタクトホールを形成した。そして、インディウム錫酸化物膜 (ITO 膜) を形成し、これをエッチングして、画素電極 321 を形成した。(図 3 (G)) 以上のようにして、周辺回路のシフトレジスタ回路と画素 TFT が形成された。

【0065】本実施例では画素 TFT はリーク電流の小さい、活性層の薄いシリコン層を用い、また、オン電流の大きなことの要求されるシフトレジスタ等の回路においては、活性層の比較的厚いシリコン層を用いて、半導体集積回路を構成することができたので、回路全体としての特性を向上させることができた。

【0066】〔実施例 4〕本実施例を図 8 および図 9 に示す。本実施例は、TFT 型液晶表示装置の周辺回路のシフトレジスタ回路に用いられる CMOS 素子とアクティブマトリクス of スイッチングトランジスタ (画素 TFT) の作製に関して本発明を適用した例を示す。まず、基板 401 上に下地酸化膜として、酸化珪素膜 402 をスパッタリング法により 1000~5000 Å、例えば、2000 Å に成膜した。そして、非晶質シリコン膜をプラズマ CVD 法により 400~1500 Å、例えば、600 Å に成膜し、結晶化させた。

【0067】つぎに、このようにして得られた結晶性シリコン膜 403 上に実施例 2 と同様にマスクを形成し、アクティブマトリクス回路のチャネル形成領域および全ての TFT 形成領域の周辺を薄膜化して、薄いシリコン領域 403' を形成した。薄いシリコン領域のシリコン膜の厚さは 300 Å とした。エッチングの方法は実施例 2 と同様におこなった。ここで島状領域の周辺領域を薄膜化したのは、後の工程の島状領域を形成する際に、チャネル領域を形成する周辺が過剰にエッチングされることを防ぐためである。(図 8 (A))

【0068】その後、この様にして得られた結晶性シリコン膜 403 をエッチングして、島状領域 404、405 (島状シリコン膜) を形成した。この際、エッチングは先に薄膜化された領域 403' のみに対しておこなわれた。このことの効果を図 10 を使って、簡単に説明する。図 10 の (A) ~ (D) は、実施例 2 の様に島状領域の周辺部を薄膜化せずに形成したものである。図 10 (A) および (B) はシリコン膜をエッチングする工程の前を示している。同図において、厚さ 600 Å の領域 1 に、上記と同様の薄膜化工程によって、厚さ 300 Å まで薄膜化された領域 2 が形成されている。図の斜線部 3 は島状領域のパターンを示しており、これ以外の部分がエッチングされることとなる。ここでエッチングを進

めてゆく。(図 10 (A)、(B))

【0069】まず、シリコン膜を 300 Å エッチングしたときの様子は図 10 (C) の様になる。このとき、島状領域の形成される部分 6、7 の領域ではシリコン膜はエッチングされないで、以前と同じ膜厚 (それぞれ、300 Å、600 Å) を有している。ここで、領域 6 は後にゲイト電極が形成される領域であり、島状領域の段差の小さいことが望まれる。一方、図 10 (B) において、600 Å の厚さを有していた領域 1 は、珪素膜がエッチングされ薄くなり、約 300 Å の厚さのシリコン領域である。また、一方、図 10 (B) において、300 Å の厚さを有していた領域 2 は、珪素膜が全てエッチングされ、下地酸化膜の表面 5 が現れてくる。しかし、依然としてシリコン領域 4 と領域 6、7 はつながっており、更なるエッチングが必要である。(図 10 (C))

【0070】さらに、シリコン膜を 300 Å エッチングすると図 10 (D) の様になる。図 10 (C) においては、300 Å のシリコン膜が残っていた領域 4 は、丁度、全てのシリコン膜がエッチングされ、下地酸化膜表面 9 が露出する。しかし、図 10 (C) において、下地酸化膜表面 5 が露出していた領域 10 では、さらに、下地酸化膜の奥深くまでエッチングがおこなわれてしまう。このため、シリコンと酸化珪素のエッチングレートが 3:1 という好ましい条件でさえ、島状領域 8 のうち厚さが 300 Å だった部分 6 と、下地酸化膜との段差は少なくとも 400 Å 程度ある。この段差は、エッチングの際にシリコンと酸化珪素の選択比によって、変動するが、島状領域を薄膜化したものの、段差はほとんど改善されず、ゲイト絶縁膜をより薄く (例えば、500 Å 以下) することは困難であった。(図 10 (D))

【0071】本実施例では島状領域周辺を薄膜化することによって、その点が改善できる。図 10 (E) ~

(G) には、本実施例の様子を示す。図 10 (A) と同様に、厚さ 600 Å のシリコン領域 11 を薄膜化して、厚さ 300 Å のシリコン領域 12 を設ける。斜線部 13 は島状領域のパターンである。図から分かるように、島状領域 13 の周辺部は全て薄膜化したシリコン膜になっている。(図 10 (E)、(F))

【0072】この状態で、エッチングをおこなっていくと、300 Å エッチングした時点で下地酸化珪素膜表面 15 が露出する。そのとき、島状領域において、厚さ 600 Å であった部分 17、および厚さ 300 Å であった部分 16 はそのままの厚さである。また、島状領域の周辺領域は丁度、全てのシリコン膜がエッチングされた状態で、周囲のシリコン領域 14 から分離した状態となり、島状領域が完成する。シリコン領域 14 は、図 10 (F) においては、厚さ 600 Å のシリコン領域であったが、エッチングされて、厚さ約 300 Å となっている。また、段差に関して考察すると、ゲイト電極がその上に形成される領域 16 と下地酸化膜表面との段差は領

域16の厚さ(すなわち、300Å)しかなく、厚さ600Åのゲイト絶縁膜をこの上に形成しても問題はない。(図10(G))

【0073】上記の例ではシリコン膜の薄膜化に関しては、膜厚を半分にする程度であったが、例えば、膜厚を1/4やそれ以下にするという場合には、本実施例のように島状領域の周囲の部分の薄膜化することの効果は顕著である。例えば、800Åのシリコン膜を200Åにまで薄膜化する場合を考えれば、実施例2の場合には、シリコンと酸化珪素のエッチング選択比が4:1という非常に好ましい場合でさえ、段差は、200Åに、オーバーエッチされた酸化珪素の深さ150Åを加えた350Åである。本実施例の場合は200Åであり、実施例2では、本実施例より段差が75%も大きくなる。

【0074】以上のようにして、エッチングをおこない、島状領域を形成した。いずれもTFTの活性層として、前者は周辺駆動回路のシフトレジスタ等の回路に用いられ、後者はアクティブマトリクス回路の画素TFTとして用いられる。その後、ゲイト絶縁膜406として、膜厚200~800Å、例えば、500Åの酸化珪素膜406をプラズマCVD法によって形成した。

【0075】その後、厚さ1000Å~3μm、例えば、5000Åのアルミニウム膜をスパッタ法によって成膜した。そして、フォトリソをスピンコーティング法によって形成した。フォトリソの形成前に、陽極酸化法によって厚さ100~1000Åの酸化アルミニウム膜を表面に形成しておく、フォトリソの密着性が良くなる。その後、フォトリソとアルミニウム膜をパターニングして、ゲイト電極407、408、409を形成した。エッチング終了後も、フォトリソは剥離せず、各ゲイト電極上にマスク膜410、411、412として残存せしめた。(図8(B))

【0076】さらにこれに電解溶液中で電流を通じてポーラス陽極酸化し、厚さ3000~6000Å、例えば、厚さ5000Åのポーラス陽極酸化物413、414、415を形成した。ポーラス陽極酸化は、3~20%のクエン酸もしくはショウ酸、リン酸、クロム酸、硫酸等の酸性水溶液を用いておこない、5~30Vの一定電流をゲイト電極に印加すればよい。本実施例においてはショウ酸溶液(30℃)中で、電圧を10Vとし、20~40分、陽極酸化した。ポーラス陽極酸化物の厚さは陽極酸化をおこなう時間によって制御した。(図8(C))

【0077】その後、マスク膜410、411、412を剥離し、実施例と同様な方法で陽極酸化をおこなった。すなわち、基板をpH≒7、1~3%の酒石酸のエチレングリコール溶液に浸し、白金を陰極、アルミニウムのゲイト電極407、408、409を陽極として、徐々に電圧を上げて陽極酸化を進行させた。このようにして、形成された陽極酸化物被膜は緻密で耐圧が高く、

特に、バリア型陽極酸化物と称される。本実施例では厚さ1500~3500Å、例えば、2000Åのバリア型陽極酸化物416、417、418を形成した。(図8(D))

【0078】つぎに、周辺回路のNチャネル型TFTおよび画素TFTを形成する領域をマスク419で覆って、周辺回路のPチャネル型TFTのポーラス陽極酸化物413をエッチングした。このとき、エCHANTとしてリン酸、酢酸、硝酸の混酸を用いた。(図8(E))その後、マスク419を除去してゲイト酸化膜406をドライエッチング法によってエッチングした。このとき、エッチングガスとしてCH₄を使用することによって、陽極酸化物はエッチングされず、酸化珪素膜406のみがエッチングされた。その結果、ポーラス陽極酸化物414、415の下に酸化珪素膜はエッチングされずに、406a、406b、406cが残った。(図8(F))

【0079】そして、周辺回路のNチャネル型TFTおよび画素TFTのポーラス陽極酸化物414、415をエッチングした。(図9(A))

その後、周辺回路のNチャネル型TFTの領域をマスク420で覆い、イオンドーピング法によって、周辺回路のPチャネル型TFTの領域のシリコン膜および島状領域405に、ゲイト電極部(ゲイト電極、バリア陽極酸化物、酸化珪素膜)をマスクとして自己整合的に不純物を注入した。ここでは、ジボラン(B₂H₆)をドーピングガスとして硼素を注入し、P型不純物領域421、422を形成した。この場合、硼素のドーズ量は1~4×10¹⁴原子/cm²、加速電圧を10kVとした。ここで、加速電圧が低い場合、ゲイト酸化膜406cの下部にはドーピングされず燐は導入されなかった。(図9(B))

【0080】そして、マスク420を除去して、前面にフォスフィン(PH)をドーピングガスとして燐を注入して、周辺回路のNチャネル型TFTの領域にN型不純物領域423を形成した。このとき、燐のドーズ量は1~8×10¹⁴原子/cm²、加速電圧は5kVとした。ここで、加速電圧が低い場合、ゲイト酸化膜406bの下部にはドーピングされず燐は導入されなかった。また、ドーズ量が硼素のドーズ量に比べ少ないため、周辺回路のPチャネル型TFTおよび画素TFTの不純物領域421、422はP型不純物領域のままであった。

(図9(C))

その後、燐のドーズ量を1×10¹³~1×10¹⁴cm⁻²、加速電圧は90kVとして、周辺回路のNチャネル型TFTの領域のドーピングがされなかったゲイト酸化膜406bの下部に燐を導入し、低濃度ドレイン424(LDD、N⁻型)が形成された。(図9(D))

【0081】さらに、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、不純物

領域 4 2 1、4 2 2、4 2 3、4 2 4 の活性化をおこなった。レーザーのエネルギー密度は $200 \sim 400 \text{ mJ/cm}^2$ 、好ましくは $250 \sim 300 \text{ mJ/cm}^2$ が適当であった。この際、画素 TFT のゲイト酸化膜 4 0 6 c の下に存在する P I 接合は、レーザー照射によって十分に活性化された。しかし、周辺回路の TFT の P I 接合、および N⁻ I 接合には十分なレーザー照射は期待できない。

【0082】そこで、レーザー照射工程の後に、さらに、 $350 \sim 550^\circ\text{C}$ でアニールをおこなって、上記接合部の活性化を促進させた。その際には、周辺回路の TFT の活性層の厚さは 500 \AA と厚いため、結晶化がチャネル形成領域 (I 型) から周囲の P 型および N⁻ 型に進行し、良好な P I 接合、N⁻ I 接合が得られた。(図 9 (E))

つぎに、層間絶縁膜として、プラズマ CVD 法によって酸化珪素膜 4 2 5 を厚さ 3000 \AA に成膜した。

【0083】そして、層間絶縁膜 4 2 5、ゲイト絶縁膜 4 0 6 のエッチングをおこない、ソース/ドレインにコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、パターニングしてソース/ドレイン電極 4 2 6、4 2 7、4 2 8、4 2 9 を形成した。

【0084】最後に、パッシベーション膜 4 3 0 として厚さ $2000 \sim 6000 \text{ \AA}$ 、例えば、 3000 \AA の窒化珪素膜をプラズマ CVD 法によって形成し、これと酸化珪素膜 4 2 5、ゲイト絶縁膜 4 0 6 をエッチングして、不純物領域 4 2 2 に対してコンタクトホールを形成した。そして、インディウム錫酸化物膜 (ITO 膜) を形成し、これをエッチングして、画素電極 4 3 1 を形成した。(図 9 (E)) 以上のようにして、周辺回路で通常の P チャネル型 TFT 4 3 2 と N チャネル型の LDD を有する TFT 4 3 3 による CMOS 素子と、P チャネル型のオフセット領域を有する画素 TFT 4 3 4 が形成された。

【0085】本実施例では、ゲイト酸化膜の厚さを従来の約半分の 500 \AA とすることができた。この結果、画素 TFT、周辺回路とも従来に比較してより優れた特性を示すことができた。

【0086】

【発明の効果】本発明によって、優れた特性の TFT を得ることができた。また、実施例にも示したように、本

発明を利用して、最良の構成の半導体集積回路を構成することもできた。本実施例では、シリコン半導体を例に挙げて説明したが、他の半導体であってもよいことは自明である。このように本発明は工業上、有益であり、特許されるに十分な資質を有する。

【図面の簡単な説明】

【図 1】 本発明による TFT 回路の作製方法を示す。

(断面図、実施例 1)

【図 2】 本発明による TFT 回路の作製方法を示す。

(断面図、実施例 2)

【図 3】 本発明による TFT 回路の作製方法を示す。

(断面図、実施例 3)

【図 4】 本発明による TFT 回路の作製方法を示す。

(上面図、実施例 2)

【図 5】 本発明による TFT の $I_d - V_g$ 特性例を示す。(実施例 1)

【図 6】 本発明による TFT の電界効果移動度の例を示す。(実施例 1)

【図 7】 本発明による TFT のリーク電流の例を示す。(実施例 1)

【図 8】 本発明による TFT 回路の作製方法を示す。

(断面図、実施例 4)

【図 9】 本発明による TFT 回路の作製方法を示す。

(断面図、実施例 4)

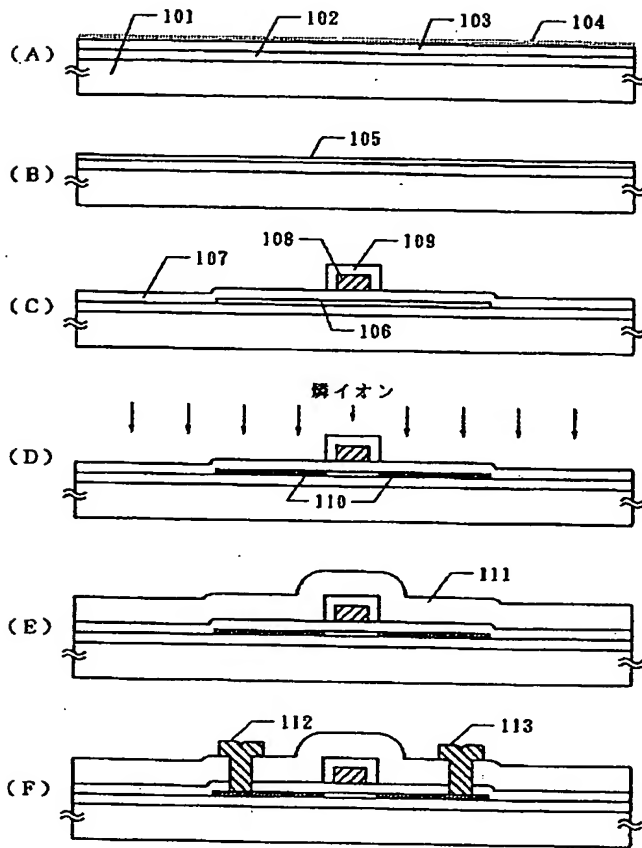
【図 10】 本発明による島状領域のエッチング工程を示す。(実施例 4)

【図 11】 本発明によるエッチング例の斜視図を示す。

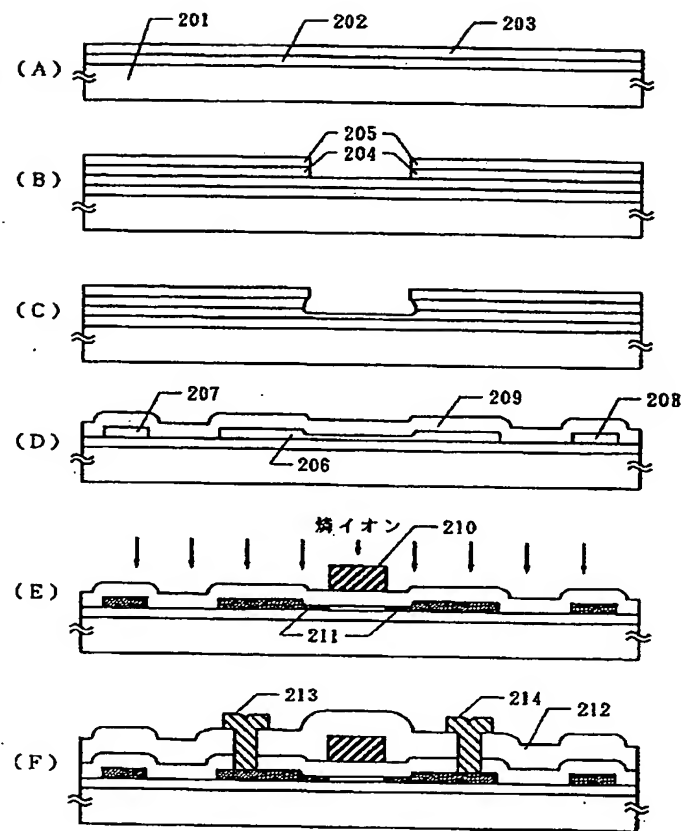
【符号の説明】

1 0 1	基板
1 0 2	下地絶縁膜
1 0 3	非晶質シリコン膜
1 0 4	酢酸ニッケル層
1 0 5	薄膜化した結晶性シリコン膜
1 0 6	島状半導体領域 (シリコン)
1 0 7	ゲイト絶縁膜 (酸化珪素)
1 0 8	ゲイト電極 (アルミニウム)
1 0 9	陽極酸化物被膜 (酸化アルミニウム)
1 1 0	N 型不純物領域
1 1 1	層間絶縁物 (酸化珪素)
1 1 2、1 1 3	金属配線 (窒化チタン/アルミニウム)

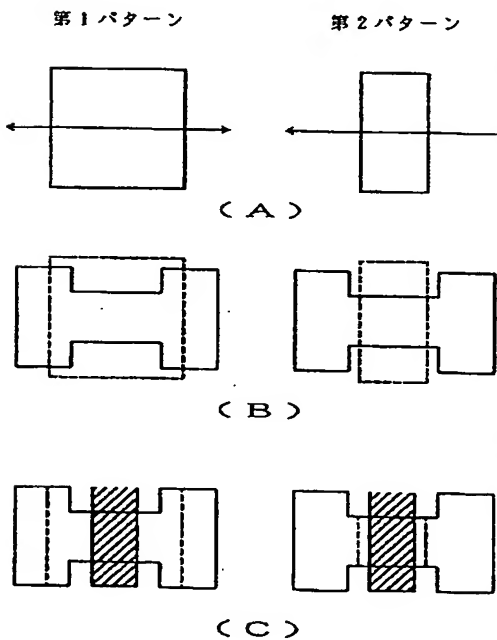
【図 1】



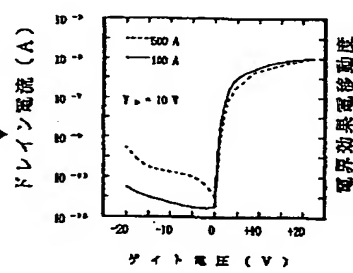
【図 2】



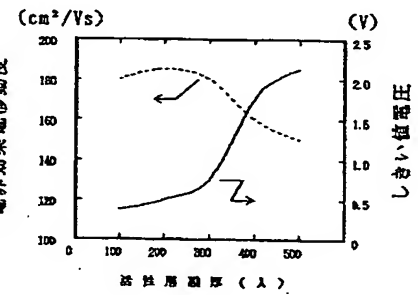
【図 4】



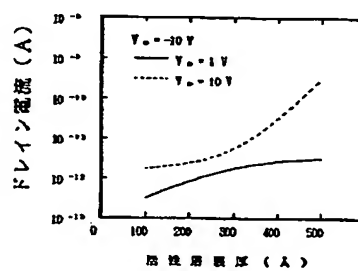
【図 5】



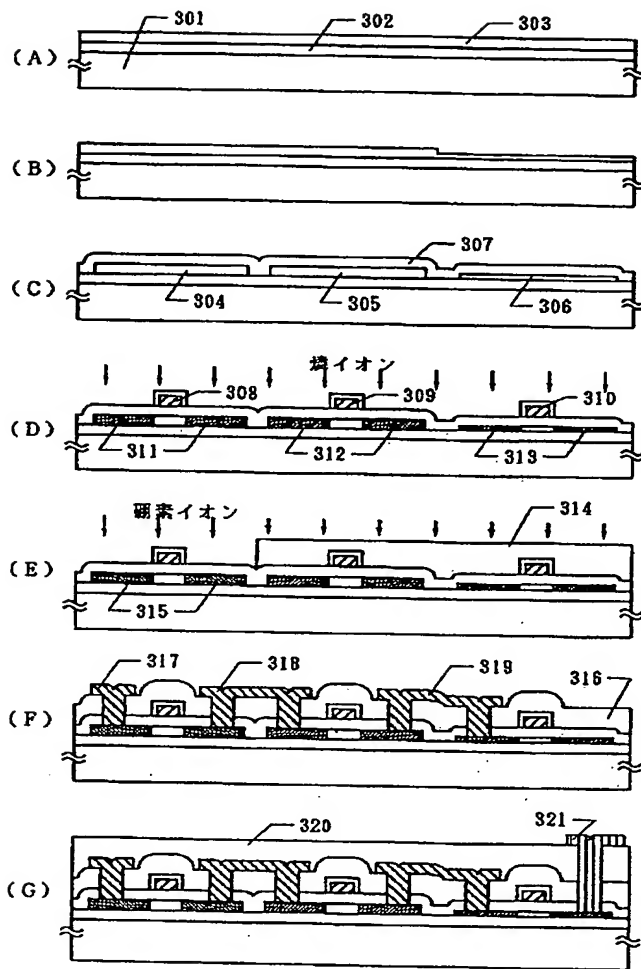
【図 6】



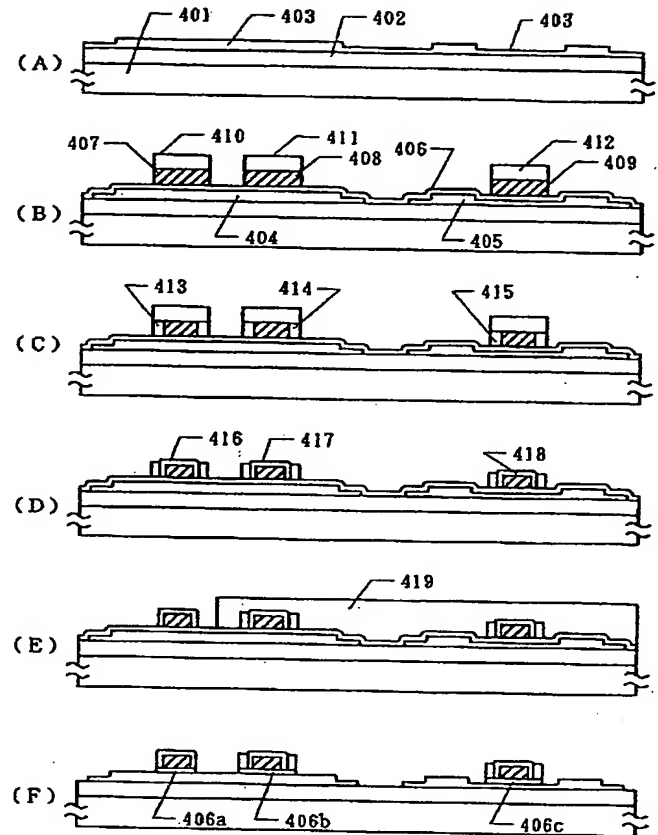
【図 7】



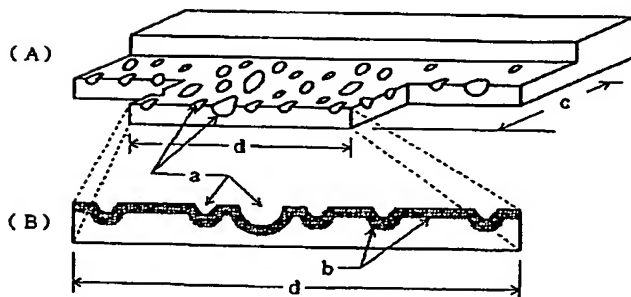
【図 3】



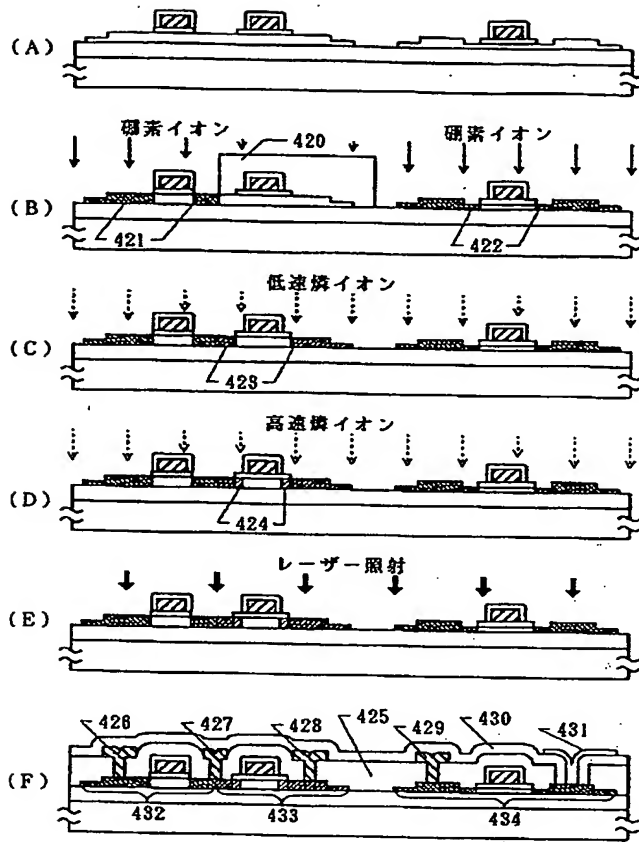
【図 8】



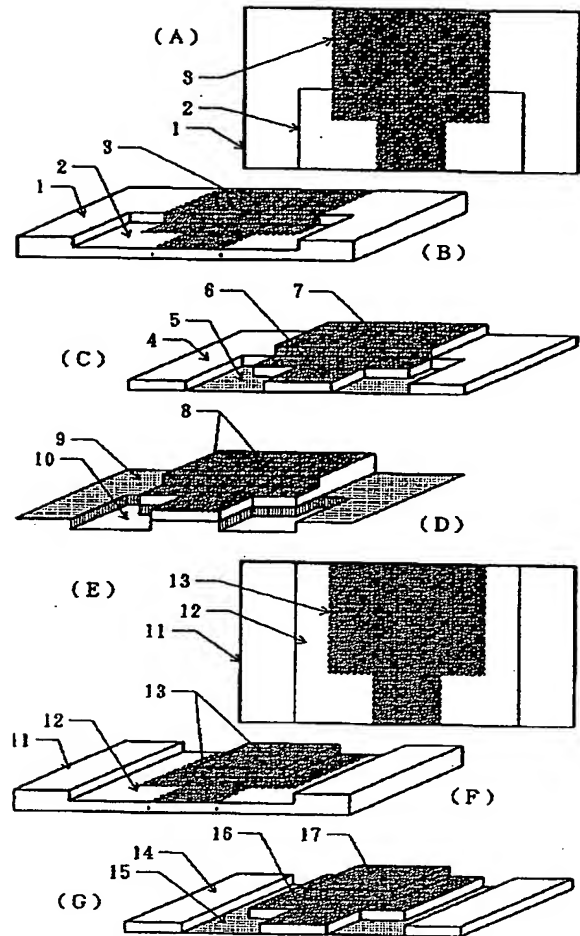
【図 11】



【図 9】



【図 10】



フロントページの続き

(51) Int. Cl.⁶

H01L 21/336

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H01L 29/78

311 C

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.